

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11234333 A

(43) Date of publication of application: 27 . 08 . 99

(51) Int. Cl

H04L 12/56
H04L 12/46
H04L 12/28
H04L 12/66

(21) Application number: 10030892

(22) Date of filing: 13 . 02 . 98

(71) Applicant: CHOKOSOKU NETWORK
COMPUTER GIJUTSU
KENKYUSHO:KK

(72) Inventor: GOTO SEIJI

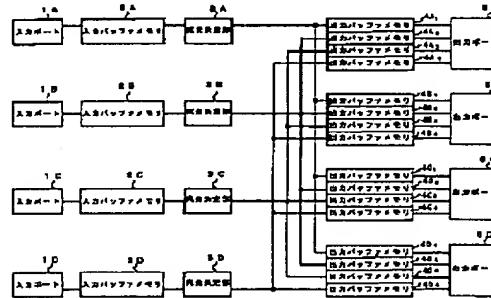
(54) GATEWAY DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To transmit packet data at a high speed by simple and inexpensive constitution.

SOLUTION: This gateway device for mutually connecting networks is provided with input ports 1A-1D for respectively inputting the packet data from one of the networks, input buffer memories 2A-2D for storing the packet data of the respective input ports, destination decision parts 3A-3D for deciding the destination of the packet data and output ports 5A-5D for outputting the packet data decided by the destination decision parts to the other network. Also, output buffer memories 4A-4D for respectively storing the respective packet data whose destinations are decided by the respective destination decision parts are provided for the respective output ports and the packet data whose destinations are decided are stored in the buffer memories of all the output ports.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-234333

(43)公開日 平成11年(1999)8月27日

(51) Int.Cl.⁶
H 0 4 L 12/56
12/46
12/28
12/66

識別記号

F I
H 0 4 L 11/20 1 0 2 D
11/00 3 1 0 C
11/20 B

審査請求 有 請求項の数5 O L (全 8 頁)

(21)出願番号 特願平10-30892

(22)出願日 平成10年(1998)2月13日

(71)出願人 394025577

株式会社超高速ネットワーク・コンピュータ技術研究所

東京都港区虎ノ門五丁目2番6号

(72)発明者 後藤 誠司

東京都港区虎ノ門5丁目2番6号 株式会社超高速ネットワーク・コンピュータ技術研究所内

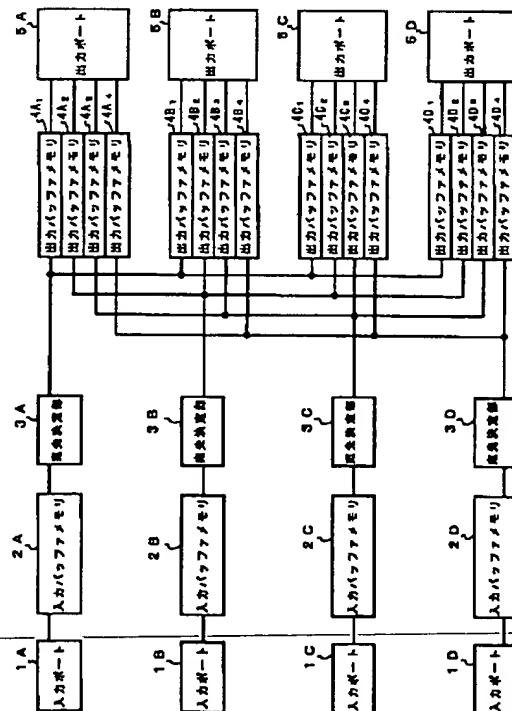
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 ゲートウェイ装置

(57)【要約】

【課題】 ゲートウェイ装置において、簡単かつ安価な構成によりパケットデータの高速伝送を可能にする。

【解決手段】 ネットワークを相互に接続するゲートウェイ装置に、一方のネットワークからのパケットデータを各個に入力する入力ポート1A～1D、各入力ポートのパケットデータを蓄積する入力バッファメモリ2A～2D、パケットデータの宛先を決定する宛先決定部3A～3D、宛先決定部により決定されたパケットデータを他方のネットワークに出力する出力ポート5A～5Dを設けると共に、各宛先決定部により宛先が決定された各パケットデータをそれぞれ蓄積する出力バッファメモリ4₁～4₄を各出力ポート毎に設け、宛先が決定されたパケットデータを、全ての出力ポートのバッファメモリに蓄積する。



【特許請求の範囲】

【請求項1】 複数のネットワークを相互に接続するゲートウェイ装置において、一方のネットワークからのパケットデータがそれぞれ入力される複数の入力ポートと、各入力ポート毎に配設され前記入力ポートに入力されたパケットデータの宛先を決定する複数の宛先決定部と、前記宛先決定部により決定されたパケットデータを他方のネットワークに出力する複数の出力ポートと、1つの宛先決定部と1つの出力ポート間に共通に配設され各宛先決定部により宛先が決定された各パケットデータをそれぞれ蓄積するための複数の出力バッファメモリとを備え、前記複数の出力バッファメモリからなる出力バッファ部は、複数の宛先決定部と出力ポート間にそれぞれ設けられることを特徴とするゲートウェイ装置。

【請求項2】 請求項1において、

宛先決定部により宛先が決定されたパケットデータは、全ての出力バッファ部に出力され各出力バッファ内の何れか1つの出力バッファメモリに蓄積されることを特徴とするゲートウェイ装置。

【請求項3】 請求項1において、

宛先決定部により宛先が決定されたパケットデータは、決定宛先に応じた出力ポートに対応する出力バッファ部に出力され該出力バッファ内の何れか1つの出力バッファメモリに蓄積されることを特徴とするゲートウェイ装置。

【請求項4】 請求項1において、

前記出力ポートと宛先決定部との間に入力バッファメモリを設けたことを特徴とするゲートウェイ装置。

【請求項5】 請求項1ないし請求項4の何れかの請求項において、

前記出力バッファメモリに蓄積されているパケットデータの一定時間内の出力送信量を制御する帯域制御部を出力ポートに設けたことを特徴とするゲートウェイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、インターネットなどの複数のネットワークを相互に接続するゲートウェイ装置に関する。

【0002】

【従来の技術】 この種のゲートウェイ装置は、一般にネットワーク間中継パケットの宛先を決定するまでの間、パケットを一時的に保管するために入力バッファ及び出力バッファを設けている。図7はn個の入力ポート及びn個の出力ポートを有するゲートウェイ装置の構成を示すブロック図である。同図において、11₁～11_nは入力ポート、12₁～12_nは入力バッファメモリ、13₁～13_nは宛先決定部、14はパケット交換スイッチ、15は交換制御部、16₁～16_nは出力バッファメモリ、17₁～17_nは出力ポートである。

【0003】 ここで、図示しない一方のネットワークから他方のネットワーク宛のネットワーク間交換パケットが例えば入力ポート11₁に入力されると、対応の入力バッファメモリ12₁に一旦蓄積されるとともに、そのパケットの宛先は対応する宛先決定部13₁により決定され、そのパケットの決定宛先情報が交換制御部15に伝達される。交換制御部15は、その決定宛先情報を入力すると入力バッファメモリ12₁に蓄積されているパケットデータを出力すべき出力バッファメモリを決定し、その出力バッファメモリが例えば出力バッファメモリ16₁であれば、パケット交換スイッチ14を制御して入力バッファメモリ12₁のパケットデータを出力バッファメモリ16₁に蓄積させる。これにより、対応の出力ポート17₁からそのパケットデータが図示しない他方のネットワークに出力される。

【0004】

【発明が解決しようとする課題】 従来のゲートウェイ装置では、n個の入出力ポートを有する場合、複数の宛先へのパケットを同時に伝送するためには、入力バッファメモリの出力側伝送容量として最大n倍の容量が必要になる。また、単一の宛先へパケットを伝送する場合でも、入力バッファメモリ出力の時間的競合により最大n倍の入力バッファメモリの容量が必要になる。即ち、従来のネットワーク装置は、ネットワークの1回線（1ポート）当たりの入力バッファメモリの出力容量はn倍の容量を必要とし、したがって入力バッファメモリ内のパケットデータのネットワーク回線への読み出し転送速度はネットワーク1回線当たりn倍の速度が必要である。しかしながら、近年はネットワーク回線の速度はますます高速化しており、従来のゲートウェイ装置ではこうしたネットワーク回線の高速化に容易に対応できないという課題があった。したがって本発明は、ゲートウェイ装置において、簡単かつ安価な構成によりパケットデータの高速伝送を可能にすることを目的とする。

【0005】

【課題を解決するための手段】 このような課題を解決するために本発明は、複数のネットワークを相互に接続するゲートウェイ装置において、一方のネットワークからのパケットデータを各個に入力する複数の入力ポートと、各入力ポート毎に配設され入力ポートに入力されたパケットデータの宛先を決定する複数の宛先決定部と、宛先決定部により決定されたパケットデータを他方のネットワークに出力する複数の出力ポートと、1つの宛先決定部と1つの出力ポート間に共通に配設され各宛先決定部により宛先が決定された各パケットデータをそれぞれ蓄積するための複数の出力バッファメモリとを備え、複数の出力バッファメモリからなる出力バッファ部を、複数の宛先決定部と出力ポート間にそれぞれ設けるようにしたのである。また、宛先決定部により宛先が決定されたパケットデータは、全ての出力バッファ部に出力

され各出力バッファ内の何れか1つの出力バッファメモリに蓄積されるものである。また、宛先決定部により宛先が決定されたパケットデータは、決定宛先に応じた出力ポートに対応する出力バッファ部に出力され該出力バッファ内の何れか1つの出力バッファメモリに蓄積されるものである。また、出力ポートと宛先決定部との間に入力バッファメモリを設けるようにしたものである。また、出力バッファメモリに蓄積されているパケットデータの一定時間内の出力送信量を制御する帯域制御部を出力ポートに設けたものである。

【0006】

【発明の実施の形態】以下、本発明について図面を参照して説明する。図1は、本発明に係るゲートウェイ装置の第1の実施の形態を示すブロック図である。同図において、1A, 1B, 1C, 1Dは図示しない一方のネットワークからパケットデータが入力される入力ポート、2A, 2B, 2C, 2Dはそれぞれ対応の各入力ポート1A, 1B, 1C, 1Dから入力されたパケットデータを蓄積する入力バッファメモリ、3A, 3B, 3C, 3Dは対応の各入力ポート1A, 1B, 1C, 1Dから入力されたパケットデータの宛先を決定する宛先決定部、4A₁～4A₄, 4B₁～4B₄, 4C₁～4C₄, 4D₁～4D₄はそれぞれの宛先決定部3A, 3B, 3C, 3Dで決定されたパケットデータを蓄積する出力バッファメモリ、5A, 5B, 5C, 5Dは対応の出力バッファメモリ4A, 4B, 4C, 4Dのパケットデータを図示しない他方のネットワークに出力する出力ポートである。

【0007】図1において、一方のネットワークから他方のネットワーク宛のネットワーク間交換パケットが例えば入力ポート1Aに入力されると、そのパケットは対応の入力バッファメモリ2Aに蓄積されるとともに、そのパケットの宛先は対応する宛先決定部3Aにより決定される。そして宛先決定部3Aにより宛先が例えば出力ポート5Bと決定された場合、そのパケットデータは、宛先決定部3Aから出力バッファメモリ4A₁, 4B₁, 4C₁, 4D₁に出力され蓄積される。そして、宛先決定された出力ポート5Bは宛先決定部3Aからの送信指示に基づき、自身に接続される出力バッファメモリ4B₁からパケットデータを読み出し他方のネットワークへ送信する。

【0008】また、ネットワーク間交換パケットが入力ポート1Bに入力されると、そのパケットは対応の入力バッファメモリ2Bに蓄積されるとともに、そのパケットの宛先は対応する宛先決定部3Bにより決定される。ここで、宛先決定部3Bにより宛先が例えば出力ポート5Aと決定された場合、そのパケットデータは、宛先決定部3Bから出力バッファメモリ4A₂, 4B₂, 4C₂, 4D₂に出力され蓄積される。そして宛先決定された出力ポート5Aは宛先決定部3Bからの送信指示に基

づき、自身に接続される出力バッファメモリ4A₂からパケットデータを読み出し他方のネットワークへ送信する。また、ネットワーク間交換パケットが入力ポート1Cに入力され、そのパケット宛先が宛先決定部3Cにより例えば出力ポート5Dと決定された場合、そのパケットデータは、出力バッファメモリ4A₃, 4B₃, 4C₃, 4D₃に出力され蓄積される。そして宛先決定された出力ポート5Dは宛先決定部3Cからの送信指示に基づき、出力バッファメモリ4D₃からパケットデータを読み出し他方のネットワークへ送信する。また、ネットワーク間交換パケットが入力ポート1Dに入力され、そのパケット宛先が宛先決定部3Dにより例えば出力ポート5Cと決定された場合、そのパケットデータは、出力バッファメモリ4A₄, 4B₄, 4C₄, 4D₄に出力され蓄積される。そして宛先決定された出力ポート5Cは宛先決定部3Dからの送信指示に基づき、出力バッファメモリ4C₄からパケットデータを読み出し他方のネットワークへ送信する。

【0009】このように、一方のネットワークから入力したパケットデータの宛先が宛先決定部により決定され次第、全ての出力ポート5A～5D用の各出力バッファメモリに同一パケットデータを蓄積し、前記宛先決定部により指示された出力ポートのみが自身に接続される出力バッファメモリからデータを読み出すようにしたものである。この結果、入力ポートから出力ポートに至る経路においてパケットの入出力の競合が発生せず、したがって入力したパケットを高速で宛先変換して他方のネットワークへ転送することが可能になる。

【0010】次に図2は本発明の第2の実施の形態を示すブロック図である。図2のゲートウェイ装置は、図1のゲートウェイ装置に対し格納制御部6A, 6B, 6C, 6Dを設けたものである。ここで、入力ポート1Aに入力されたパケットは、上述したように対応の入力バッファメモリ2Aに蓄積されるとともに、そのパケットの宛先は対応する宛先決定部3Aにより決定される。この場合、格納制御部6Aは宛先決定部3Aによるパケットの宛先が例えば出力ポート5Aと5Bに決定されれば、そのパケットを出力バッファメモリ4A₁, 4B₁に蓄積するように制御する。また、入力ポート1Bの入力パケットが対応の入力バッファメモリ2Bに蓄積され、宛先決定部3Bによりそのパケットの宛先が例えば出力ポート5Bと5Cに決定されれば、格納制御部6Bはそのパケットを出力バッファメモリ4B₂と4C₂に蓄積するように制御する。

【0011】また、入力ポート1Cの入力パケットが対応の入力バッファメモリ2Cに蓄積され、宛先決定部3Cによりそのパケットの宛先が例えば出力ポート5Cと5Dに決定されれば、格納制御部6Cはそのパケットを出力バッファメモリ4C₃と4D₃に蓄積するように制御する。さらに、入力ポート1Dの入力パケットが対応

の入力バッファメモリ2Dに蓄積され、宛先決定部3Dによりそのパケットの宛先が例えば出力ポート5Dと5Aに決定されれば、格納制御部6Cはそのパケットを出力バッファメモリ4D₄と4A₄に蓄積するように制御する。出力ポート5A, 5B, 5C, 5Dではそれぞれ、自身の管理する出力バッファメモリ4A₁～4A₄, 4B₁～4B₄, 4C₁～4C₄, 4D₁～4D₄の蓄積状況に応じて対応するバッファメモリのデータを読み出し他方のネットワークへ出力する。このように、格納制御部6A, 6B, 6C, 6Dを設けることにより出力バッファメモリの利用効率を向上させることができること。

【0012】一般にゲートウェイ装置に付加される機能として、帯域管理機能がある。この帯域管理機能とは、或入力ポートから入力したパケットを出力ポートから外部へ送信する場合に一定時間内にどれだけ送信できるかを管理する機能である。ここで、パケットデータを均一に後段のネットワークへ送信する、上記帯域管理機能を有しないときには、図3に示すように、各出力バッファメモリ4₁～4₄にパケットデータが蓄積されている場合はそのパケットデータにリクエスト信号aを付加して出力ポート5に与えるようにする。この場合、出力ポート5の選択回路51はそのリクエスト信号aをラウンドロビンにより選択し、対応のパケットデータbを他方のネットワークへ送信する。

【0013】一方、上記の帯域管理機能を有する場合には、図4に示すように、出力ポート5に、選択回路51の他に、各出力バッファメモリ4₁～4₄毎に送信量カウンタ52、規定値レジスタ53及び比較器54を設ける。そして、予め規定値レジスタ53に送信制限値を設定し、比較器54は出力バッファメモリ4から入力されるパケットデータの数を計数する送信カウンタ52の値を一定周期毎にクリアするとともに、送信カウンタ52の前記一定周期内の値が規定値レジスタ53の値以下の場合はそのパケットデータとリクエスト信号aを選択回路51へ送出する。出力ポート5の選択回路51はそのリクエスト信号aをラウンドロビンにより選択し、対応のパケットデータbを他方のネットワークへ送信する。また、比較器54は送信カウンタ52の前記一定周期内の値が規定値レジスタ53の値以上になると選択回路51へのリクエスト信号aをクリアし、パケットデータの送出を停止する。従来のゲートウェイ装置では、バッファメモリの競合を考慮する必要があったため、このような機能を付加することは困難であったが、本発明ではバッファメモリの競合を考慮する必要が無いため、簡単に帯域管理機能を付加することができる。

【0014】次に図5は、ゲートウェイ装置の宛先決定部を3A, 3B, 3C, 3Dをパイプライン型の宛先決定部により構成した場合のブロック図である。図1に示すゲートウェイ装置の宛先決定部3A, 3B, 3C, 3

Dは、C P Uの処理またはハードウェアによりパケットの宛先検出を行うことが可能であるが、ハードウェアにより宛先検出を行う場合、宛先決定部の内部をパイプライン動作させれば十分にネットワーク回線と同一の速さで動作させることができる。この場合、図1に示すゲートウェイ装置は図5に示すように入力バッファメモリ2A, 2B, 2C, 2Dを省略することができる。

【0015】次に図6は、ゲートウェイ装置の宛先決定部を3A, 3B, 3C, 3Dを同様にパイプライン型の宛先決定部により構成した場合のブロック図である。図2に示すゲートウェイ装置の宛先決定部3A, 3B, 3C, 3Dも図1と同様、C P Uの処理またはハードウェアによりパケットの宛先検出を行うことが可能である。そして、ハードウェアにより宛先検出を行う場合、宛先決定部の内部をパイプライン動作させれば同様に十分にネットワーク回線と同一の速さで動作させることができる。この場合、図2に示すゲートウェイ装置は図6に示すように入力バッファメモリ2A, 2B, 2C, 2Dを省略することができる。

【0016】このようにバッファの性能による（即ちバッファの容量増加に基づく）ボトルネックを解消することで、近年増加傾向にある複数宛先パケットを用いたネットワークアプリケーションにも容易に対応可能なゲートウェイ装置を提供できる。また、各ポート間のパケットが全く競合しないことから、バッファはネットワーク伝送帯域以上の性能を有する必要は無く、装置を低コストで構成できる。また、ポート数nの場合、n×nのバッファが必要であるが、全体の容量をn個のバッファを有する場合と同様に設定しておけば、コストアップを生じることなくかつ最大負荷時の性能を維持できる。

【0017】

【発明の効果】以上説明したように本発明によれば、一方のネットワークからのパケットデータを各個に入力する複数の入力ポートと、各入力ポート毎に配設され入力ポートに入力されたパケットデータの宛先を決定する複数の宛先決定部と、宛先決定部により決定されたパケットデータを他方のネットワークに出力する複数の出力ポートと、1つの宛先決定部と1つの出力ポート間に共通に配設され各宛先決定部により宛先が決定された各パケットデータをそれぞれ蓄積するための複数の出力バッファメモリとを設け、かつ前記複数の出力バッファメモリからなる出力バッファ部を、複数の宛先決定部と出力ポート間にそれぞれ設けるようにしたので、入力ポートから出力ポートに至る経路においてパケットの入出力の競合の発生を防止でき、従って簡単かつ安価な構成によりパケットデータの高速伝送が可能になる。また、宛先決定部により宛先が決定されたパケットデータを、全ての出力バッファ部に出力し各出力バッファ内の何れか1つの出力バッファメモリに蓄積するようにしたので、各ポート間ではパケットが全く競合しないことから、各出力

バッファメモリはネットワーク伝送帯域以上の蓄積容量を有する必要は無く、従って装置を低コストで構成できる。また、宛先決定部により宛先が決定されたパケットデータを、決定宛先に応じた出力ポートに対応する出力バッファ部に出力し該出力バッファ内の何れか1つの出力バッファメモリに蓄積するようにしたので、出力バッファメモリの利用効率を向上させることができる。また、出力ポートと宛先決定部との間に入力バッファメモリを設けるようにしたので、宛先決定部に高速処理機能を有する例えばパイプライン機能を持たせる必要がなく、したがって宛先決定部を簡単かつ安価に構成できる。また、出力バッファメモリに蓄積されているパケットデータの一定時間内の出力送信量を制御する帯域制御部を出力ポートに設けるようにしたので、従来困難であった帯域管理機能を簡単に装置に付加できる。

【図面の簡単な説明】

【図1】 本発明に係るゲートウェイ装置の第1の実施の形態を示すブロック図である。

【図2】 上記ゲートウェイ装置の第2の実施の形態を示すブロック図である。

【図3】 ゲートウェイ装置に帯域管理機能を有しない

場合の出力ポートの構成を示すブロック図である。

【図4】 ゲートウェイ装置に帯域管理機能を有する場合の出力ポートの構成を示すブロック図である。

【図5】 図1のゲートウェイ装置の宛先決定部をパイプライン型の宛先決定部で構成した場合のブロック図である。

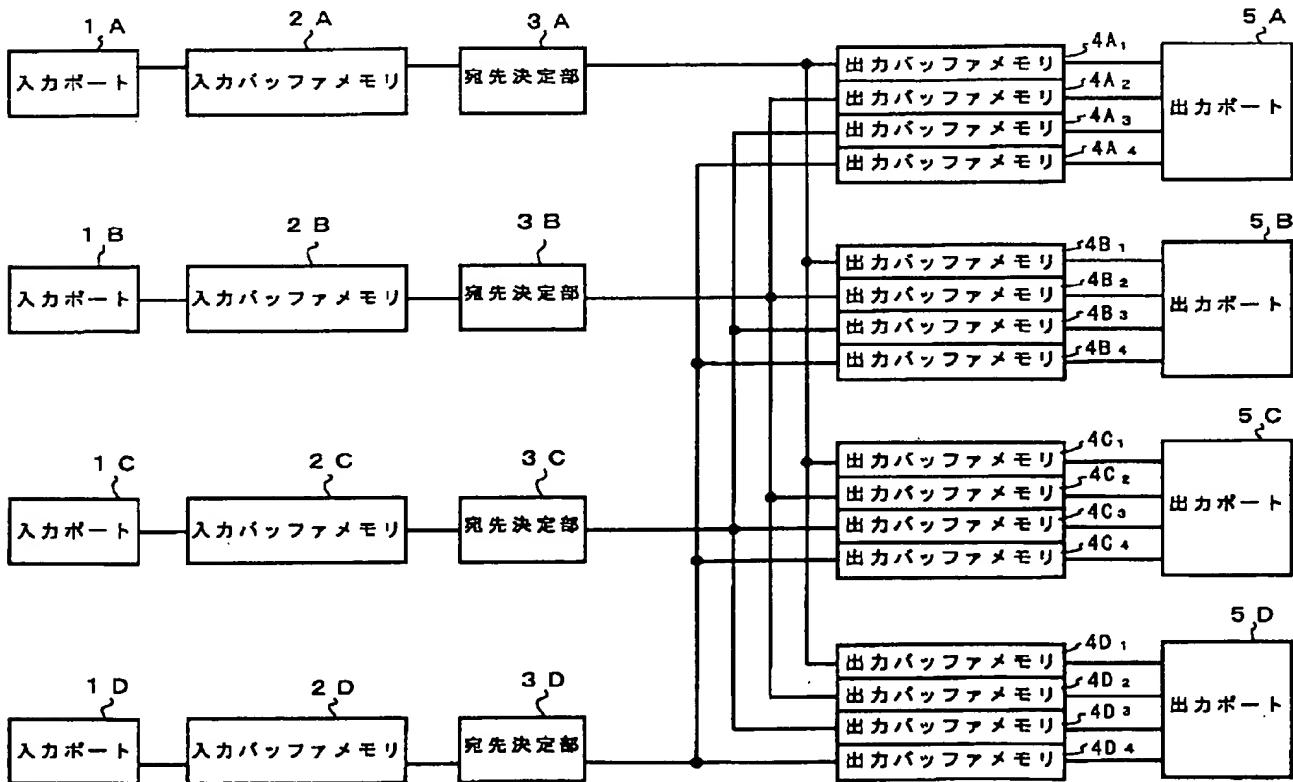
【図6】 図2のゲートウェイ装置の宛先決定部をパイプライン型の宛先決定部で構成した場合のブロック図である。

【図7】 従来のゲートウェイ装置の構成を示すブロック図である。

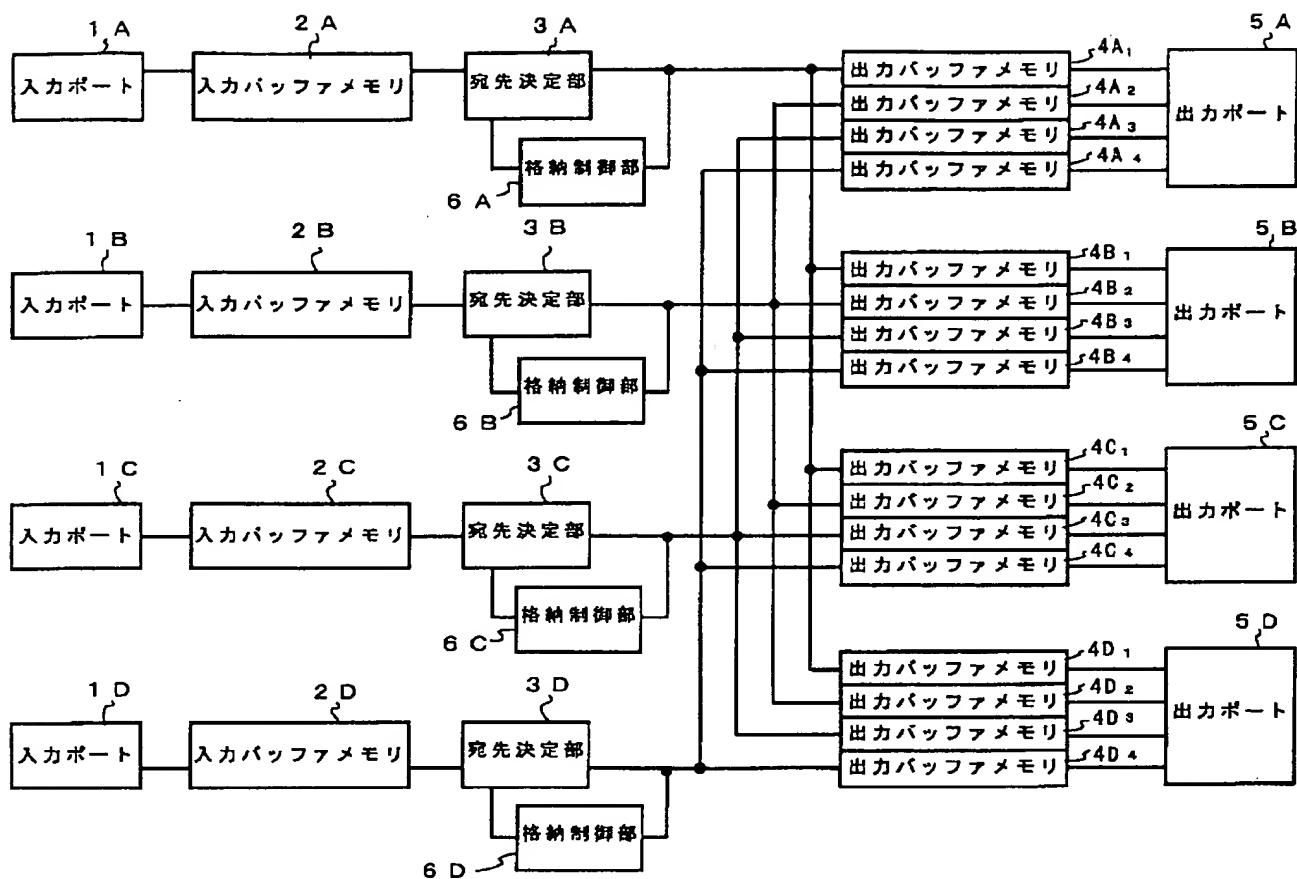
【符号の説明】

1 A, 1 B, 1 D, 1 D … 入力ポート、2 A, 2 B, 2 C, 2 D … 入力バッファメモリ、3 A, 3 B, 3 C, 3 D … 宛先決定部、4₁ ~ 4₄, 4 A₁ ~ 4 A₄, 4 B₁ ~ 4 B₄, 4 C₁ ~ 4 C₄, 4 D₁ ~ 4 D₄ … 出力バッファメモリ、5, 5 A, 5 B, 5 C, 5 D … 出力ポート、6 A, 6 B, 6 C, 6 D … 出力ポート、5 1 … 選択回路、5 2 … 送信量カウンタ、5 3 … 規定値レジスタ、5 4 … 比較器。

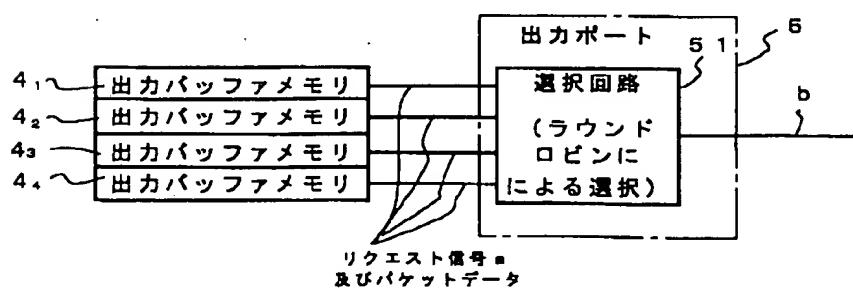
【図1】



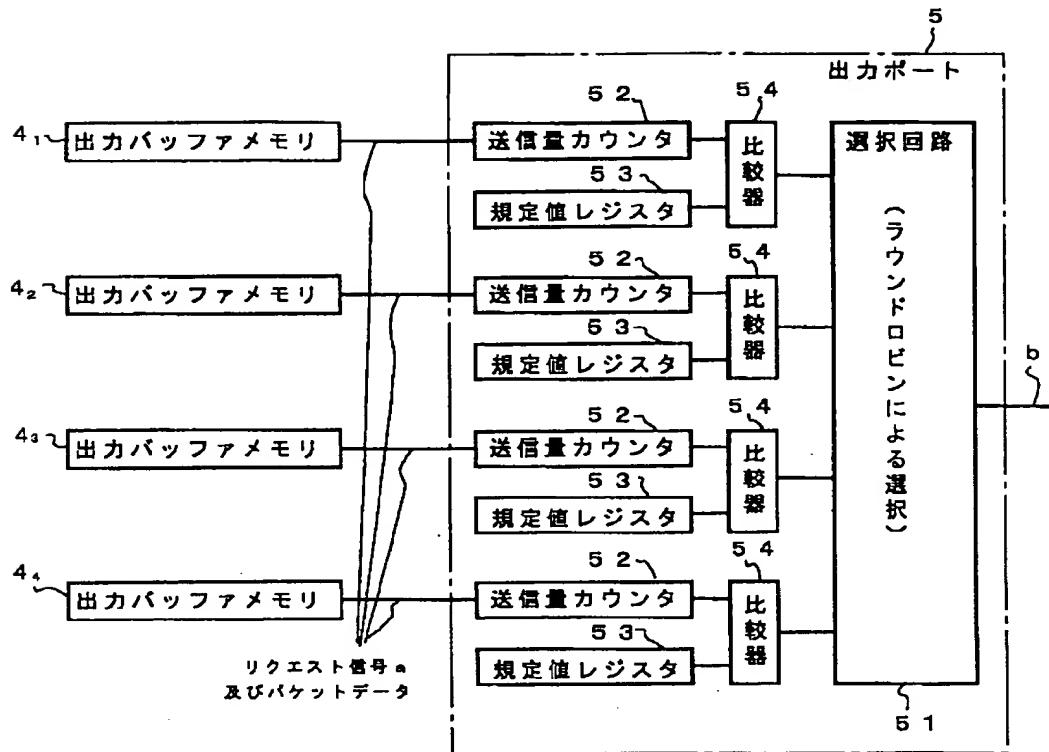
【図2】



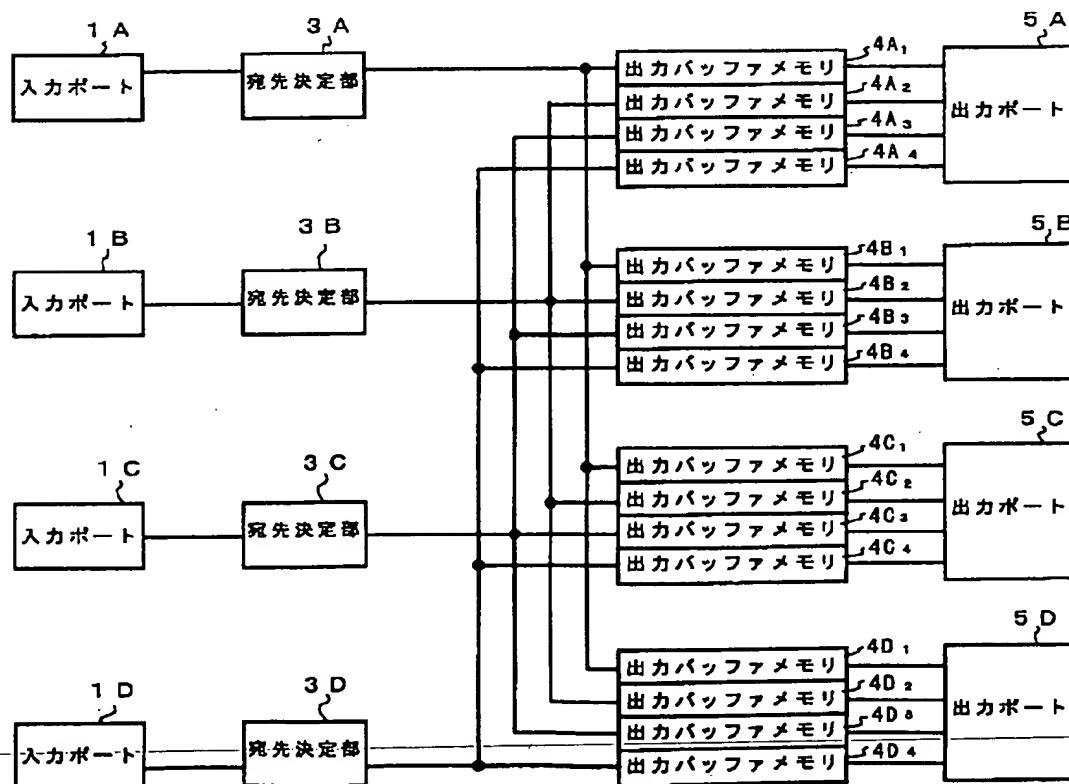
【図3】



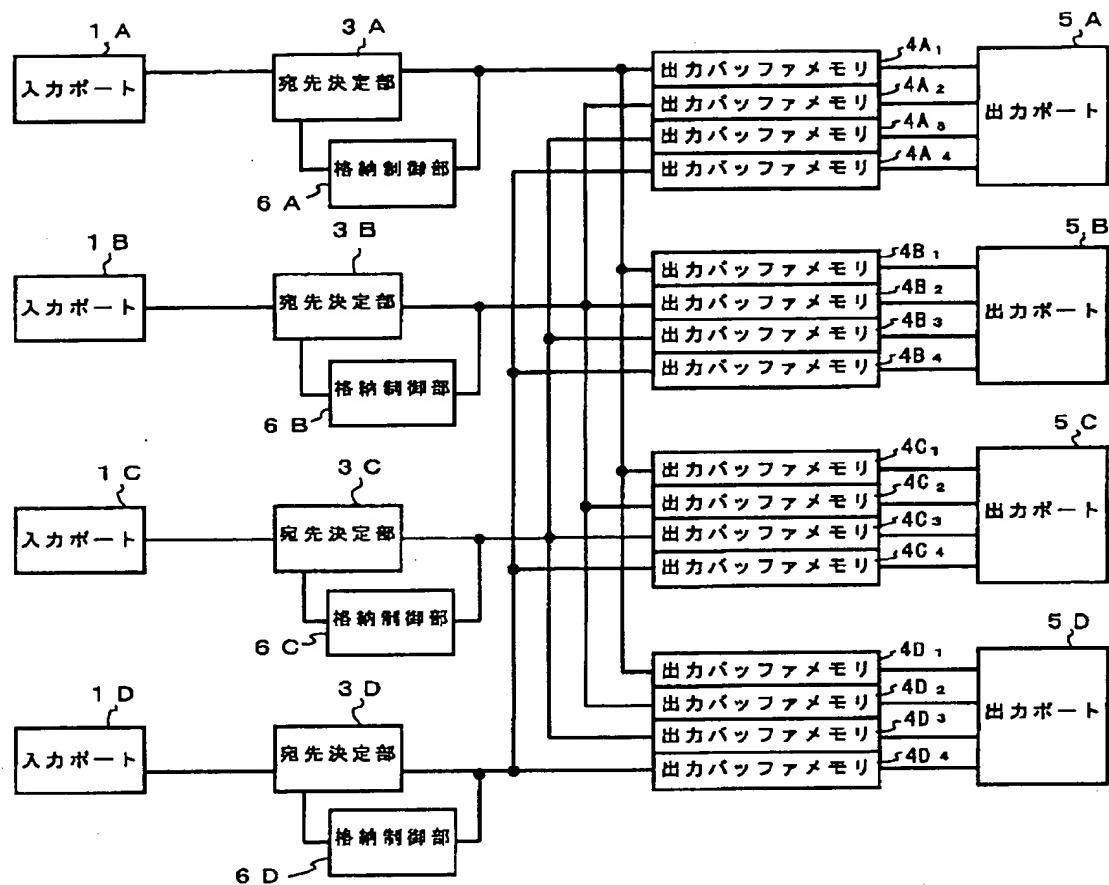
【図4】



【図5】



【図6】



【図7】

